

Procesory

Úvod – opakovanie z 3. ročníka:

Predchodcovia procesorov: kombinačné obvody, sekvenčné obvody

- ☞ kombinačné obvody – charakteristika, logické členy
- ☞ sekvenčné obvody, stručné typy a vlastnosti (J-K, R-S, D, T)

Kombinačné obvody: obsahujú hradlá (logické členy) AND, OR, NOT a ich kombinácie (NAND, NOR, XOR). Počet vstupov teoreticky ľubovoľný. Výsledný stav na výstupe je daný stavom vstupov a vnútorným zapojením obvodu. Riešenie – pravidlá Boolovej algebry, Karnaughova mapa.

Sekvenčné obvody: obsahujú okrem hradiel navyše preklápacie členy (R-S, J-K, D, T) a ich výsledný stav je daný jednak stavom vstupov, vnútorným zapojením, ale navyše aj predchádzajúcim stavom. Na tomto princípe pracujú pamäte, sekvenčné obvody sú však aj súčasťou procesorov.

Procesory

- ☞ čím sa procesor odlišuje od kombinačného. a sekvenčného obvodu *//(je riadený programom)*

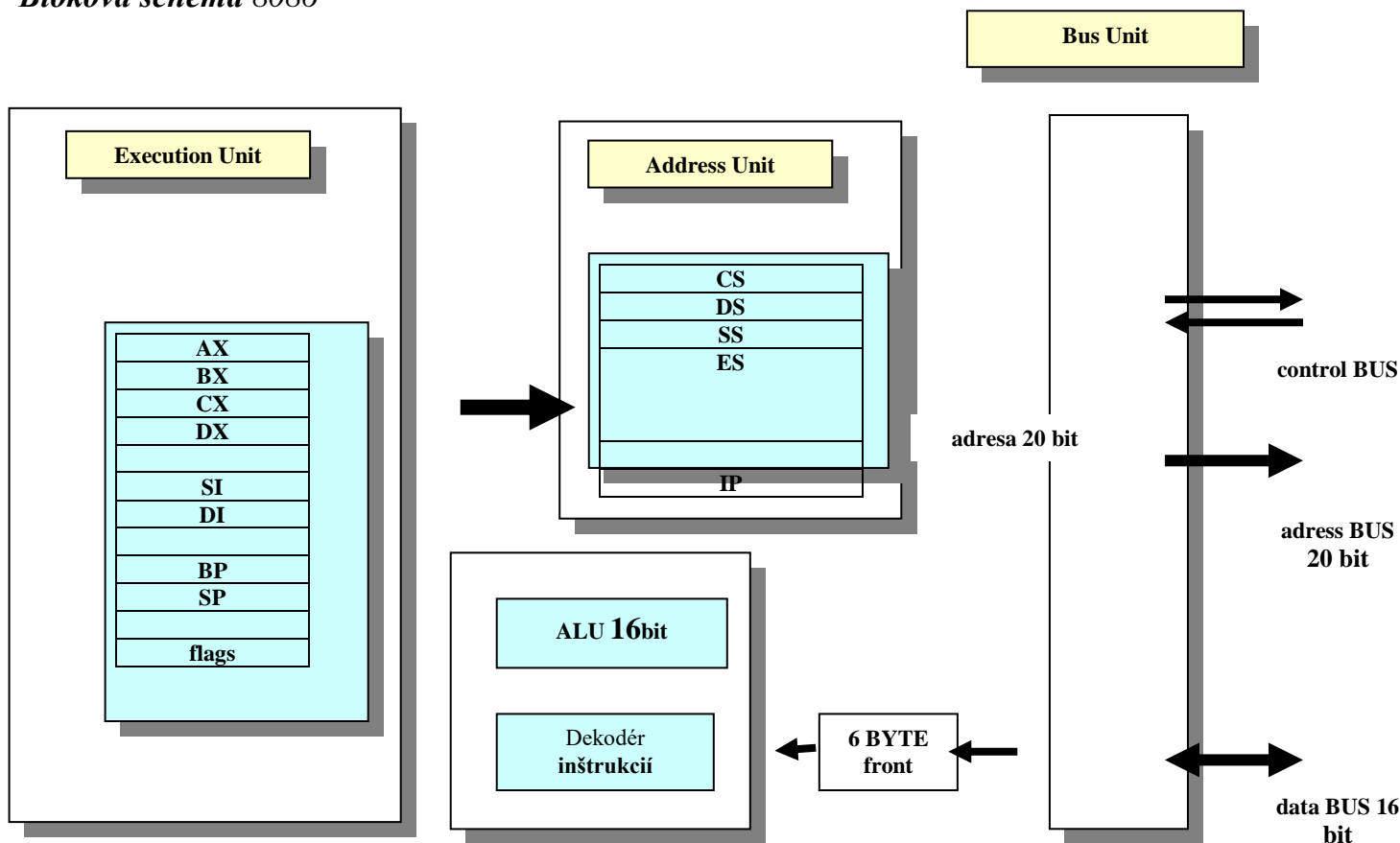
1. Úloha procesora vo výpočtovom systéme

Je jadrom výpočtového systému, vykonáva všetky výpočty a ďalšie požadované funkcie, do značnej miery riadi chod celého systému

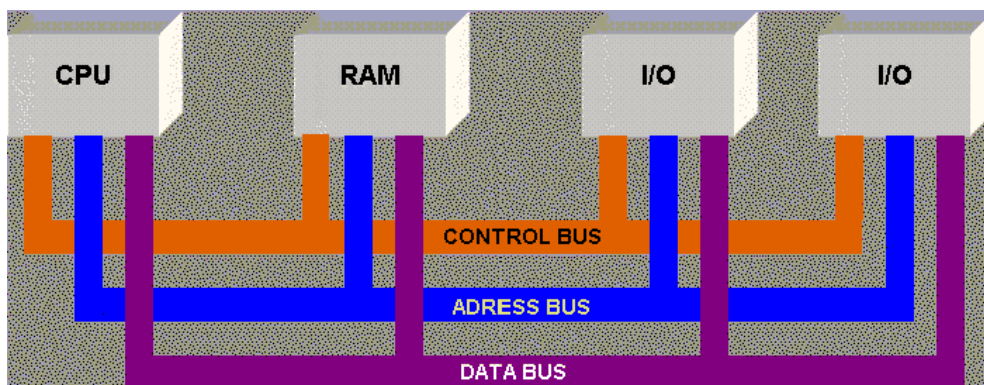
2. Procesor – elementárna štruktúra, hlavné bloky

Základná bloková schéma jednoduchého procesora

Bloková schéma 8086



3. Zákl. schéma výpočtového systému



Procesor komunikuje prostredníctvom zdieľanej systémovej zbernice s operačnou pamäťou a vstupnými, výstupnými a vstupno-výstupnými jednotkami.

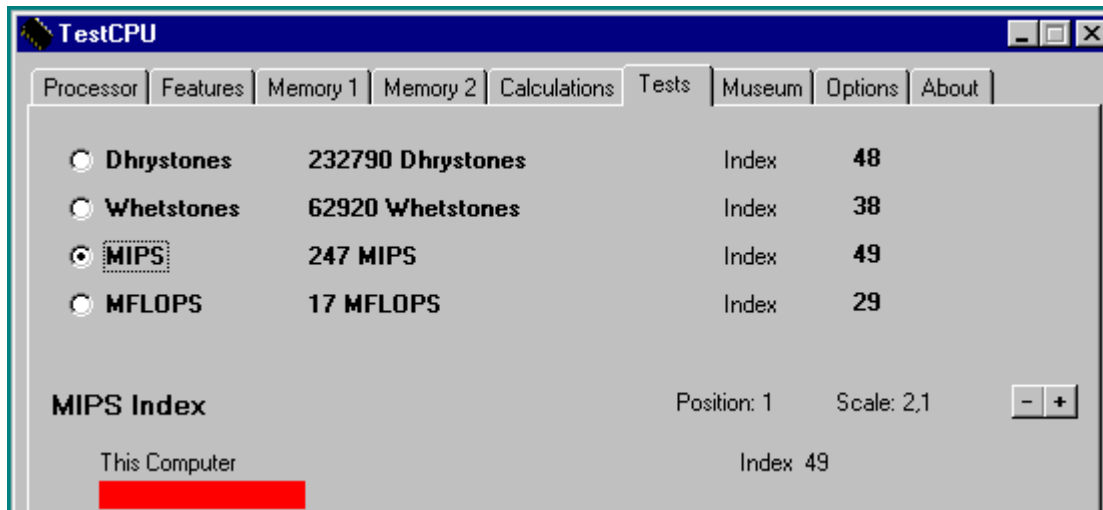
4. Určenie výpočtového výkonu procesora

Určenie výpočtového výkonu procesora, IPS, FLOPS, benchmarkové testy

Výpočtový výkon: - **IPS** (instructions per second) – výkon procesora v operáciách s celými číslami alebo v logických operáciách, súvisia s ALU (operácie x,/,+,-,or,and,xor,not)

- **FLOPS** (floating operations per second – výkon procesora v operáciách s reálnymi číslami – „plávajúcou desatinnou čiarkou“, súvisia s FPU (operácie s reálnymi číslami, napr.: $3,8516 \cdot 10^{-17} / 2800465$)

Benchmark – porovnanie výkonu procesora s výkonom referenčného (známeho) procesora pri určitom súbore činností



5. Technologické riešenia procesorov:

Moorov zákon – počet funkčných komponentov (tranzistorov) v procesore sa zdvojnásobuje každé dva roky. Toto sa dosahuje zvýšením hustoty súčiastok na chipe, a zvyšovanie hustoty je dané nárastom rozlíšenia litografickej štruktúry pri výrobe procesora (parameter sa zjednodušene nazýva „technológia“.)

Litografické rozlíšenie („technologie“) CPU: vývoj: 8086 10 um, PI 0,8 um, P4 0,13 um (130 nm)

súčasný procesory: 32 /22/14 nm,
Technológia N-MOS, P-MOS, HMOS, CMOS

Architektúra: Rôzne koncepcie: CISC, RISC -> hybridná

- **CISC** (complete instruction set) – PC (Intel, AMD). Programátor má k dispozícii bohatú inštrukčnú sadu, pri spracovaní sa každá inštrukcia CISC musí rozdeliť na niekoľko mikroinštrukcií, ktoré sú vykonávané v samostatných krokoch. Spracovanie jedinej inštrukcie CISC potom predstavuje veľa taktov procesora. CISC je pohodlné pre programátora, náročné pre procesor.

- **RISC** (reduced instruction set) – mikrokontrolery, pracovné stanice, superpočítače, architektúra Apple do 2005 využívala RISC. Má inštrukčnú sadu redukovanú, programátor má k dispozícii obmedzenú sadu inštrukcií ale inštrukcie sú „pohodlné“ pre procesor, v každom takte vykoná procesor jednu inštrukciu. Programátor má viac práce ale pre procesor je RISC výhodnejšie a vie ho spracovať efektívnejšie. špeciálne inštrukčné sady IA64, VLIW

- Súčasnoscť: „hybridná“ koncepcia: CISC architektúry sa usilujú prevziať to najlepšie z RISC. Vzniká mix príkazov a architektúry sa snažia hľadať to najlepšie z RISC a CISC.

- špeciálne sety inštrukcií: **IA64, EPIC, VLIW** – určené pre výkonné počítače so špeciálnou architektúrou procesora, registre šírky 64 a 128 bitov,
IA64 (Intel architecture 64) – vyvinutá pre 64 bit procesory, špeciálne pre servery s procesormi Itanium (McKinley)

Príklady koncepcie von Neumann, Harvard, organizácia RAM, organizácia cache
 Základné výkonné jednotky: ALU, FPU, úloha FPU, realizácia FPU v priebehu vývoja
 Cache pamäť, jej úloha, vývoj, podiel na cene procesora

Jednojadrové systémy, multitasking, princípy

- proces a jeho fázy, prepínanie medzi procesmi
- kooperatívny multitasking, preemptívny multitasking
- systémy s viacerými výkonnými jednotkami v jednom jadre
- sekvenčné spracovanie inštrukcií, superskalárne spracovanie inštrukcií
- princípy superskalaringu
- pipelining
- úloha dispečera a schedulera v procese superskalárneho spracovania
- technológie zefektívnenia výpočtu s využitím superskalaringu : predvýber inštrukcií, špekulatívne vykonávanie inštrukcií
- predpoklady pre použitie superskalaringu – HW aj SW

Spôsob spracovania inštrukcií:

- **Sekvenčné spracovanie** – tradičné spracovávanie programu inštrukcia po inštrukcii, je to jediné možné pre procesory s jedinou jednotkou CPU.
- **Superskalárne spracovanie** – typické pre procesory s viacerými výkonnými jednotkami (ALU, FPU), princíp: program ako celok je ešte pred spracovaním procesorom rozdelený na časti ktoré sú samostatne nezávisle spracovateľné, program však musí byť napísaný tak, aby táto technológia bola možná. O rozdelenie programu na časti sa stará špeciálna jednotka na vstupe procesora, ktorá intenzívne spolupracuje schedulerom a dispečerom. Dôležitá úloha je aj pre jednotku predpovedania skokov. Ak jednotka jump prediction (predpovedania skokov) funguje efektívne, výrazne urýchli prácu procesora. Ak sa mylí býva výsledok horší ako pri sekvenčom spracovaní.
- **pipeline** – súbor registrov a špeciálnych stupňov, ktoré obsahujú front inštrukcií (rúra), ktorá smeruje na určitú jednotku a vykonáva predspracovanie inštrukcií (dekódovanie CISC na mikroinštrukcie)

Ďalšie aspekty vývoja architektúry procesorov

Vývoj taktu CPU / zbernice: Od jednotiek MHz po jednotky GHz v súčasnosti. Okolo r. 2005 dosiahnutý technologický strop.

Vývoj systémovej zbernice – FSB, Hypertransport, QPI link – Intel Quick Path Interconnect

Úloha multiplikátora – vzťah medzi taktom jadra CPU a systémovou zbernicou

Spolupráca s RAM, takt RAM, efekt DDR – efektívny takt

Adresovacie techniky – princíp stránkovania, princíp segmentovania, virtuálna pamäť

- Komunikácia s I/O, IRQ, počet IRQ a ich tabuľka 8086
- konflikt I/O, IRQ

Príchod multimediálnych objektov do PC techniky

- súvislosť s vývojom v ďalších oblastiach – nástup CD technológie, príchod konvergovaných sietí
- Technológie na spracovanie multimediálnych súborov, vývoj špeciálnych rozširujúcich inštrukčných sád, súperenie medzi Intel a AMD – odlišné technológie pre MMX
- Inštrukčné sady využívajúce SIMD technológie – SSE, 3DNow!
- Nástup mobilných zariadení, špecifiká procesorov pre mobilné zariadenia, špeciálne techniky na úsporu energie pre mobilné zariadenia Speed Step
- Nové špeciálne technológie: Rapid Engine, Virtualization – VT-X, AMD-V, Execution Disable Bit, EM64T, AMD-64, , AES, AVX, FMA
- Podpora multiprocessingu – technológia MP

Viacprocesorové systémy

Viacprocesorové systémy – taxonómia podľa Flynna: SISD, SIMD, MIMD, MISD

- Viacjadrové systémy
- Viacvláknové systémy – hyperthreading
- Metódy multiprocessingu – symetrický, asymetrický

Hyperthreading – vývoj a príklady implementácie u moderných procesorov:

Prvé pokusy – Denelcor, Inc. 1982, procesor Heterogenous Element (HEP)

Patent pre HT technológiu – Sun Microsystems, November 1994

Prvá aplikácia HT u Intel – P4 - 2 cestný HT, 1 fyzické jadro, 2002

MIPS Architecture – MIPS MT, processor SOC: 8 fyzických jadier, každé spúšťa 4 vlákna, nemôže spúšťať všetky vlákna v každom cykle, vlákna majú priradenú prioritu

IBM POWER 5 – (2004) – Fyz. jadrá: 2 alebo 4 alebo 8, každé HT2. HT sa spúšťa podľa potreby výpočtového výkonu.

IBM POWER 7 – fyz jadier 8, Simultaneous Intelligent Threads. Prepína medzi 1 – 2 – 4 vlákna na jadro – podľa potrieb výpočtového výkonu.

IBM POWER 8 – vie spúšťať až 8 inteligentne riadených vlákien na každé jadro

Oracle Corp. : CPU Sparc T3 má 8 fine-grained threads per core, Sparc T4, T5, Sparc M5, M6, M7 má 8 fine-grained threads per core, každé jadro dokáže simultánne spúšťať dve vlákna.

Intel Itanium Montecito – 2-way HT, Intel Atom – 2way HT

Intel Xeon Phi – 4 cestný multithreading

AMD, jadro Bulldozer má iba čiastočnú implementáciu HT

6. Hlavné vývojové prúdy – delenie podľa výkonu

Rozdelenie vývojových rád jednotlivých modelov na High-End, Low-End, stred, serverové CPU, mobilné CPU.

CPU, ktoré v jadre integrujú viaceré funkcie základnej dosky (radiče pamäte aj periférií integrované priamo do CPU), zmysel a ekonomické súvislosti takého riešenia; príklady procesorov

high-end: *serverová/ výkoné pracovné stanice – Xeon*. Maximalizácia funkcií a parametrov, vysoká cena. Dnes sa používajú aj v superpočítačoch

stredná trieda: *desktop/ bežná workstation – Intel Pentium, Intel Core i3, i5*

low-end: desktopy s menším výpočtovým výkonom – *Celeron*

mobile: dôraz na minimalizáciu spotreby aj za cenu nižšieho výpočtového výkonu, *Intel Atom*

Špecifikácia triedy standard (napr. rad Pentium): základný model pre stredne náročné počítače

Špecifikácia triedy high-end (napr. rad Xeon): maximálna cache, maximálny takt, podpora multiprocessingu, maximalizácia všetkých parametrov v porovnaní s ostatnými aktuálnymi modelmi na trhu

Špecifikácia triedy low-end (napr. rad Celeron): menšia cache v porovnaní so stredným modelom, nižší takt FSB, nižší takt jadra

Špecifikácia triedy mobile (napr. rad Atom): menší výpočtový výkon v porovnaní so štandardnou triedou, veľký dôraz na úsporu energie a minimalizáciu chladenia, dôraz na mobilitu

7. Hlavné parametre procesorov - zhrnutie

- bitová šírka registrov, inštr. slova, dát reg., adresy
- typy a počty jednotiek
- takt
- kapacita cache
- druh inštrukčného slova
 - CISC – charakteristika CISC
 - RISC – charakteristika RISC
- šírka inštrukčného slova (8bit, 16, 32, 64...)
- typ jednotiek v jadre: ALU, FPU
 - výpočtový výkon – vyjadrovanie výp. výkonom, jednotky
 - IPS
 - FLOPS

počet výkonných jednotiek v jadre

- spôsob spracovania inštrukcií:
 - sekvenčné
 - superskalárne
- počet jadier na čípe
- architektúra jadra – logika efektivity práce jednotiek a spolupráce jednotiek
- prvky architektúry – efektivita superskalaringu
 - (predpovedanie skokov, špekulatívne vykonávanie inštrukcií)
 - dĺžka a efektivita práce pipeline
 - jednotky predvýberu inštrukcií
 - jednotky predpovedania skokov
- jednotky spracovania multimediálnych dát:
 - MMX, SSE, SSE2, SSE3, SSE4, 3DNow! atď.
- taktovacia frekvencia systémovej zbernice, násobič
- podpora zbernic:
 - šírka a takt vnútornej zbernice
 - šírka a takt zbernice pre RAM, efektívny takt RAM

- šírka a takt FSB, moderné zbernicové systémy
- adresovací systém
- metóda práce adresovacej jednotky
- podpora stránkovania, swapovania
- cache L1, L2, L3; ich kapacita, organizácia, takt

8. Vývoj technológií procesorov Intel v modernej ére (Pentium, Core ix)

- počet výkonných jednotiek v jadre: 2xALU, 1xFPU a viac
- superskalaring
 - tu treba vysvetliť rozdiel medzi sekvenčným a superskalárnym spracovaním s podporou pipeliningu
- predlžovanie pipeline a zvyšovanie jej efektivity
- zlepšovanie efektivity predvýberu inštrukcií, predpovedania skokov
- Dynamics Execution – jadro pracuje na vyššej frekvencii ako ďalšie obvody procesora
- implementácia jednotiek na spracovanie multimédií na princípe SIMD
- zmenšovanie rozmerov technologickej štruktúry
- zvyšovanie taktu
- cache L2, cache L3, význam cache
- modely pre mobilné zariadenia: dôraz na minimalizáciu spotreby a vývin tepla
 - špeciálne technológie na minimalizáciu spotreby (speed-step apod.)
 - technologické úpravy na minimalizáciu spotreby (minimalizácia rozmerov hradiel, minimalizovanie napájania)
 - vypínanie, resp. „uspávanie“ neaktívnych obvodov

9. Prehľad aktuálnych modelov procesorov od rozhodujúcich výrobcov

Aktuálne modely firmy Intel (2017):

Základom sú modely na architektúre CISC

Intel Celeron, 2 - 4 jadrá, podpora HT podľa modelu, 2,80 – 3,20 GHz, 1- 2 MB L3 cache, 14 nm, viac modelov

Intel Pentium, 2 jadrá, podpora HT podľa modelu, 3,20 – 3,80 GHz, 3 MB L3 cache, 14 nm, viac modelov

Intel Core i3, 2 jadrá, podpora HT, 3,20 – 3,90 GHz, 3 MB L3 cache, 14 nm, viac modelov

Intel Core i5, 4 jadrá, 3,20 GHz, 6 MB L3 cache, 14 nm, viac modelov

Intel Core i7, 4 – 6 jadier, podpora HT, 3,20 – 4,20 GHz, až 15 MB L3 cache, 14 nm, viac modelov

Intel Xeon, verzie E3, E5, 4 - 8 jadier, podpora HT podľa modelu, 3,40 – 4,20 GHz, 8 až 20 MB L3 cache, 14 nm, viac modelov

Intel Xeon E7, 4 až 24 jadier, podpora HT, 3,40 GHz, až 60 MB cache, 14 nm

Intel Atom verzie x3, x5, Dual alebo Quad Core, 64 bit, takt okolo 2,2 GHz, vždy iba súčasťou zostavy – tablet, NB, minicomputer

Intel Itanium, architektúra IA 64 nekompatibilná s x86 architektúrou, 4 alebo 8 jadier s podporou HT, 2,4 – 2,6 GHz, 20 – 32 MB cache, 32 nm technológia, 4 rôzne modely

Intel Quark, 1 jadro bez podpory HT, 32 bit registre/32 bit instruction set, 16 kB cache, 32 nm, podpora 1x PCIe, 2x UART, 3x USB 2.0, 2x LAN, 16x GPIO; 8 rôznych modelov triedy SoC + 3 modely typu „microcontroller“.

Špeciálne modely firmy Intel:

Intel Timna (okolo r. 2000) – integrácia mnohých funkcií do procesora.

Strategická chyba – orientácia na RDRAM. Problematická upgradovateľnosť zostáv. Projekt zastavený
Ústup od tejto koncepcie, dnes návrat v podobe radu SoC.

V súčasnosti je na tejto koncepcii postavený **Intel Quark**.

Intel Itanium (okolo r. 2000) – serverový procesor, celkom odlišná, v období uvedenia na trh úplne nová architektúra, nová inštrukčná sada IA64, bez kompatibility s inštrukčnou sadou CISC i86

Začiatky problematické, obchodný neúspech. V súčasnosti využívaný vo výkonných serverových zostavách.

Konkurentom mu bola architektúra Hammer (CPU Opteron) fy. AMD, rozdielne koncepcie.

AMD K7 Athlon

Aktuálne modely firmy AMD (2017):

Základom sú modely na architektúre CISC

AMD Sempron X2, 2 jadrá, 1,2 – 1,4 GHz, 1 MB cache

AMD Sempron X4, 4 jadrá, 1,2 – 1,4 GHz, 2 MB cache

AMD Athlon X4, 4 jadrá, 3 – 4 GHz, 4 MB cache

AMD A4, A6, A8, A10, Dual-Core (A4, A6) alebo Quad-Core (A8, A10), 3,0 až 4,2 GHz, 1 – 4 MB cache (pre bežné pracovné PC)

AMD Ryzen 5, 4-6 fyz. jadier, 8-12 logických, 3,0 – 3,6 GHz, 8 -16 MB cache, viac modelov (pre servery)

AMD Ryzen 7, 8 fyz. jadier, 16 logických 3,0 – 3,6 GHz, 16 MB cache, viac modelov (pre servery)

AMD FX, 6 – 8 jadier, 3,2 – 4,2 GHz, 16 MB cache (pre hry)

AMD Opteron A1100 obsahuje ARM Cortex A57 core na SoC systéme, procesor typu RISC

AMD Opteron X3421, X3418, X3216: Architektúra x86, 2-4-4 jadrá, 1,6 – 3,4 GHz, L2 cache 1 až 2 MB, podpora DDR4 1600 – 2400 MHz, počet GPU jadier 4-8 s taktom na 800 MHz, integrované I/O, prevedenie SoC

Vývoj a aktuálne modely architektúry ARM (2017):

Používa koncepciu RISC

História a vývoj

Počiatok architektúry ARM spadá do r. 1978, Acorn Computers, Cambridge.

Pôvodný zámer bol vytvoriť procesor pre osobný počítač na báze RISC.

1983 vzniká firma Advanced RISC Machines – ARM

Procesory ARM sú prevážne 32 bitové.

Počiatky označovania jadier a modelov sú značne neprehľadné – rôzni výrobcovia používali vlastné označovanie.

Dnes ARM vyrábajú rôzni výrobcovia, Acorn Computers si ponecháva iba duševné vlastníctvo projektu ARM

Od ARM v7 sa používa označenie pre jadro **CORTEX**.

Rodina Cortex A je postavená na ARM v7. Obsahuje jadrá Cortex A8, Cortex A9, Cortex A15 apod.

Trend – vyrábať jako jediný chip nielen samotný procesor, ale aj ďalšie integrované komponenty: grafický chip, sieťové rozhranie, I/O rozhrania a ďalšie. Výsledkom je architektúra SoC – systém on chip. ARM jadrá sú dnes väčšinou súčasťou práve SoC chipov.

Súčasná modely

ARM Cortex A5 je postavený na architektúre ARMv6, 1 GHz, 32 bit

ARM Cortex-A7 (Quad Core) 1,4 GHz, úplne kompatibilný s A15, ponúka vysoký výkon a malú spotrebu, 32 bit (?)

ARM Cortex-A8, používa inštrukčnú sadu ARMv7 (Quad Core) 1,4 GHz, 32 bit, v porovnaní s A5 a A7 je náročnejší na spotrebu, vznikol v r. 2008, teraz je na ústupe v prospech A5 a A7 verzií

ARM Cortex-A9, oproti A8 je o 20% výkonnejšia, 32 bit, Quad Core

ARM Cortex-A15, 32 bit, takt sa blíži 2,5 GHz,

výpočtový výkon A15 prekonáva o 40% výkon architektúry A9

Trend – viacjadrové procesory ARM kombinujúce jeden A7 a viacero A15, pričom pri nenáročnej prevádzke sa aktivuje iba A7. Jadrá A15 sa aktivujú iba ak užívateľ začne využívať náročnejšie funkcie.

Linky:

<https://www.motorola.com/us/X8-Mobile-Computing-System/x8-mobile-computing-system.html#x8-mobile-computing-system-story-voice-activated>

<http://www.arm.com/products/processors/cortex-a/index.php>

Vývoj počítačov Apple a ich CPU

Prvé modely Apple Macintosh: CPU Motorola 68000, CISC, 32 bit instruction, internal data 32 bit, ALU data 16 bit, external bus 16 bit, HMOS technology, internal adress 32 bit, external address bus 24 bit.

Platforma Power PC – od fy. IBM, verzie G1 až G4, označenie procesorov MPC, 32 bitové RISC

Power PC G5 – 64 bitová RISC architektura so zachovaním spätnej kompatibility pre 32 bitové inštrukcie, viacero technológií na urýchlenie výpočtov – Velocity Engine, podpora dvojprocesorového multiprocessingu, príchod okolo r. 2000

Platforma Intel – Apple okolo r. 2005 prechádza v počítačoch i-Mac a notebookoch i-Book na procesory platformy Intel

Platforma ARM – pre i-Phone a i-Pad využívajú procesory na architektúre ARM, ovšem z vlastnej produkcie Apple

Podľa posledných správ (2018) pripravuje Apple prechod na vlastné procesory v segmente počítačov i-Mac a i-Book okolo r. 2020.

10. Dôležité milníky vo vývoji architektúr procesorov

Intel 4004, 4-bit CPU, Apríl 1970, PMOS, 740 kHz, 10 um, 12 bit address, 8 bit instructions, 4 bit data, 5V, kalkulačky; jeho variant použitý v stíhačke F-14 Tomcat

Intel 8008, do 800 kHz, Apríl 1972, 8 bit registre, 14bit address, 16 kB RAM , 10 um
Kalkulačky, registračné pokladne, počítačové terminály, priemyselné roboty
N-MOS technológia umožnila zvýšenie taktu na 2 – 3 násobok oproti P-MOS

Intel 8080A, April 1974, 2 MHz, NMOS, 6 um, napájanie + 12 V, signály + 5V a -5V, TTL kompatibilný. 8 bit registre, 8 bit data, 16 bit adresa, 64 kB RAM
Kalkulačky, registračné pokladne, počítačové terminály, priemyselné roboty, Altair 8800, Z-80, OS CP/M

Intel 8086, 1978, je základom architektúry nazývanej x86, CISC, 16 bit, 20 bit adresa seg-off, 1 MB RAM, 5 až 10 MHz, 3 um, IBM PC XT, štartuje éru osobných počítačov. Okrem Intelu vyrába AMD, NEC, Fujitsu, Panasonic, Texas Instruments, Mitsubishi + ďalší
Veľa rôznych variantov (AMD, Fujitsu, OKI, Mitubishi, Fujitsu, OKI, NEC, Siemens)
Intel 8088

Matematický coprocessor 8087

Veľa podporných čipov – kontroléry (pre bus, periférie, programovateľné prerušenia, seriová synchronná/ asynchronná linka, (COM), 3x paralelná 8-bitová zbernica (LPT) atď.

Motorola MC 6800, CISC, 1974, serial and parallel interface, 64 kB RAM, (neskôr 128 kB), 1 – 2 MHz

Veľa ďalších výrobcov a variantov, veľa podporných kontrolčov vrátane kontroléra pre CRT monitory, veľa implementácií

Motorola 68000, CISC, 1979, vyrábaná do súčasnosti, 32 bit instruction, internal data 32 bit, ALU data 16 bit, external bus 16 bit, HMOS technology, internal adress 32 bit, external address bus 24 bit.

Podpora multitaskingu

Matematický koprocesor MC 68881, MC 68882

Použitie: široká škála počítačov, od osobných PC typu HP 9000, Apple Lisa, Macintosh, Sinclair QL, Commodore Amiga, Atari ST , Alpha Microsystems, Sun Microsystems, rôzne embeded systémy

Intel 80286, CISC, 1982, 4 MHz až 25 MHz, dat a16 bit, address 24 bit, 16 MB RAM podpora multiprocessingu, rôzne módy práce. Preddekódovanie inštrukcií (zárodok pipeline), sada multimediálnych inštrukcií; NMOS, HMOS, CMOS (rôzni výrobcovia), 134 000 tranzistorov, 1,5 um, 5V

Prvý Intel procesor, ktorý umožňuje multitasking.

FPU 80287

OS: MS DOS, PS/2 (IBM)

IBM, AMD, Siemens, Fujitsu , ...

Intel 80386, CISC, 1985, 12 MHz až 40 MHz, data 32 bit, address 32 bit – 4 GB RAM. 11,4 MIPS (33 MHz)

1 um, inštrukčná sada 32 bit spätne kompatibilná s 16 bit, stránkovacia jednotka (podpora virtuálnej pamäte), podpora externej cache (mimo čipu)

FPU 80387

IBM, AMD, Cyrix, IDT

Intel 80486, CISC s vylepšenou inštrukčnou sadou, 1989, 16 MHz až 50 MHz, 1 um, 0,6 um, 50 MIPS (50 MHz) , 5V alebo 3,3 V

data 32 bit, address 32 bit – 4 GB RAM.

FPU je súčasťou čípu (model DX) spolu s 8 kB SRAM cache,

u modelu SX je podpora FPU riešená cez 80487

Veľa variantov, veľa výrobcov – klony: IBM, TI, AMD, Cyrix, ...

Motorola 68040, 1990, CISC, 32 bit data i adresa, 25 až 40 MHz, FPU, pipeline 6 stage, 0,8 až 0,6 um, 1 200 000 tranzistors

Apple Macintosh rôzne modely, Amiga 4000, Alpha Microsystems, HP 9000/400 etc. Cisco routers

AMD Athlon Thunderbird, jadro K7, 1999, 500 – 2333 MHz, 0,25 – 0,13 um, CISC x86 instruction set, 794 GFLOPS

AMD sa týmto modelom odklonil od stratégie výroby klonov procesorov Intel, prichádza s vlastnou architektúrou. DDR technológia využitá na internú zbernicu procesora zvyšuje výkon tak, že výkonnostne výrazne prekonáva rovnako tektovaný procesor Intel Pentiu III (t.č. hlavný konkurent).

V architektúre Athlon pokračuje AMD ešte cca 7 rokov, je nahradená architektúrou Hammer

Pentium, (označenie P5), 1993 CISC, superskalárna IA – 32 mikroarchitektúra, dual integer pipeline, rýchla FPU, oddelená cache pre dáta a pre inštrukcie, 0,8 um

Intel Itanium – okolo r. 2000, nová architektúra IA-64, bez spätnej kompatibility s 32-bitovými systémami. Určené do výkonných serverov.

AMD Opteron – (2002), 130 nm technológia, príchod 64-bitových systémov do oblasti stredných a malých serverov. Spätná kompatibilita s 32-bitovými systémami

AMD Athlon 64 – (2003) 130 nm technológia, príchod 64-bitových systémov do oblasti osobných počítačov. Spätná kompatibilita s 32-bitovými systémami

Pentium 4, jadro Prescott (2005), 90 nm technológia, príchod 64-bitových systémov do oblasti osobných počítačov. Spätná kompatibilita s 32-bitovými systémami

Intel Core Duo – príchod dvojjadrových procesorov.(2006), 65 nm technológia

Intel Core i3, i5, i7 – (2010), 22 nm technológia, viacjadrové prevedenie je štandardom. Nový rad fy. Intel, nahradzujúci rad Pentium

ARM Cortex A5 až A15, nástup v období 2010 – 2015, ovládol väčšinu mobilných zariadení typu smartphone, tablet. RISC 32-bitové, viacjadrové procesory s vysokou úrovňou šetrenia energiou, vysoký výpočtový výkon.